

GEÄNDERTE FASSUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
20. Januar 2005 (20.01.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/006443 A1

(51) Internationale Patentklassifikation⁷: **H01L 27/00**,
H03K 19/08, 19/094, 19/02

Walter [DE/DE]; Röttenackerstrasse 7, 90427 Nürnberg
(DE). ULLMANN, Andreas [DE/DE]; Kronstädter
Strasse 16 a, 90765 Fürth (DE).

(21) Internationales Aktenzeichen: PCT/DE2004/001376

(74) Anwalt: ZINSINGER, Norbert; Louis . Pöhlau .
Lohrentz, Postfach 30 55, 90014 Nürnberg (DE).

(22) Internationales Anmeldedatum:
30. Juni 2004 (30.06.2004)

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 30 064.3 3. Juli 2003 (03.07.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme
von US): POLYIC GMBH & CO. KG [DE/DE];
Paul-Gossen-Strasse 100, 91052 Erlangen (DE).

(72) Erfinder; und

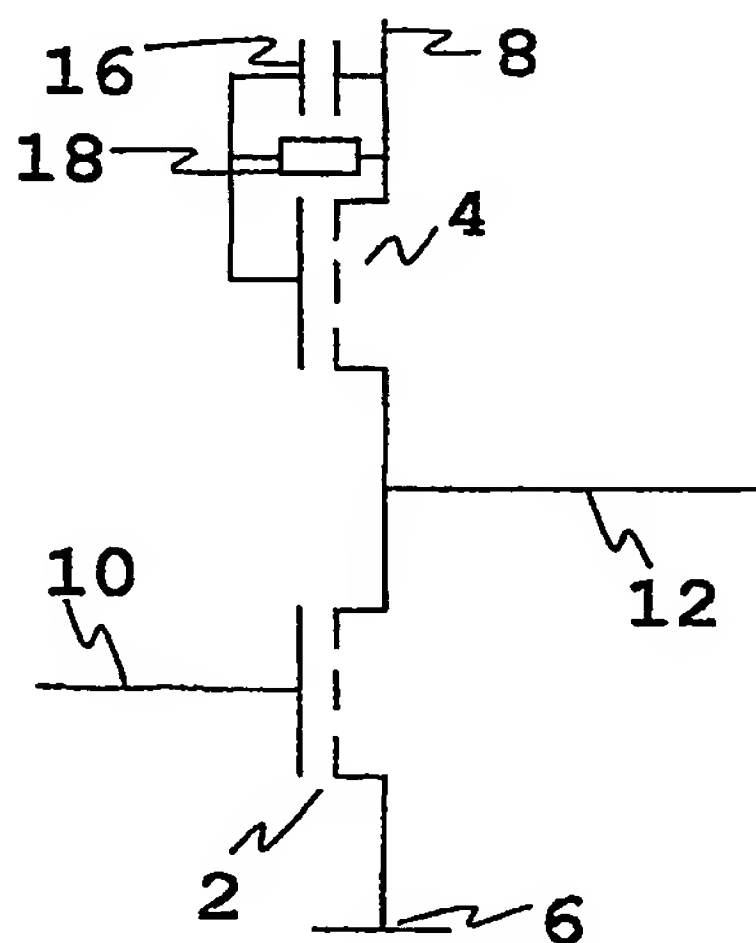
(75) Erfinder/Anmelder (nur für US): GLAUERT, Wolfram
[DE/DE]; Ligusterweg 8, 72770 Reutlingen (DE). FIX,

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,
TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,
EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT,

[Fortsetzung auf der nächsten Seite]

(54) Title: LOGIC GATE WITH A POTENTIAL-FREE GATE ELECTRODE FOR ORGANIC INTEGRATED CIRCUITS

(54) Bezeichnung: LOGIKGATTER MIT POTENTIALFREIER GATE-ELEKTRODE FÜR ORGANISCHE INTEGRIERTE
SCHALTUNGEN



(57) Abstract: The invention relates to an organic logic gate comprising
at least one charging field effect transistor (charging FET) and at least
one switching field effect transistor (switching FET), said charging FET
comprising at least one gate electrode, a source electrode and a drain
electrode, the gate electrode of the charging FET being potential-free.

(57) Zusammenfassung: Die Erfindung betrifft ein organisches
Logikgatter mit mindestens einem Lade-Feldeffekttransistor
(Lade-FET) und mindestens einem Schalt-Feldeffekttransistor
(Schalt-FET), wobei der Lade-FET mindestens eine Gate-Elektrode,
eine Source-Elektrode und eine Drain-Elektrode aufweist, wobei die
Gate-Elektrode des Lade-FETs potentialfrei ist.



RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(88) Veröffentlichungsdatum des geänderten internationalen Recherchenberichts: 7. Juli 2005

Erklärung gemäß Regel 4.17:

- hinsichtlich der Berechtigung des Anmelders, die Priorität einer früheren Anmeldung zu beanspruchen (Regel 4.17 Ziffer iii) für alle Bestimmungsstaaten

(15) Informationen zur Berichtigung:

siehe PCT Gazette Nr. 27/2005 vom 7. Juli 2005, Section II

Veröffentlicht:

- mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.